

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-206934

(43)Date of publication of application : 28.07.2000

(51)Int.Cl.

G09G 3/288

G09G 3/28

G09G 3/20

(21)Application number : 11-042076

(71)Applicant : TTT:KK

(22)Date of filing : 11.01.1999

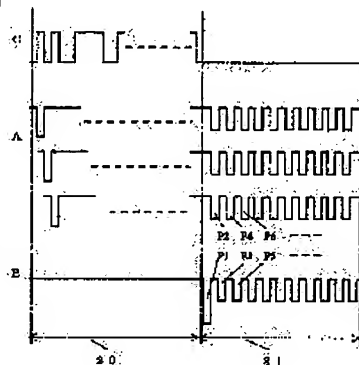
(72)Inventor : AMANO YOSHIFUMI

(54) NARROW STEP PULSE SUSTAIN DRIVE METHOD FOR AC TYPE PDP

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain high luminance and high efficiency without narrowing a drive operation margin by making a sustain pulse with narrow and lowering a voltage of the succeeding sustain pulse than the voltage of a top pulse of a sustain pulse line or several pulses from the top.

SOLUTION: Width and intervals of the sustain pulses P1-P6 are made nearly 1 μ sec or below. That is, as a pulse period, a high frequency of nearly 330 kHz or above. Further, the voltage of the sustain pulse P1 being an initial pulse applied after entering a sustain period 21 is made higher than the sustain pulses P2, P4, P6... and the sustain pulses P3, P5.... The voltage of the sustain pulse P1 is in sufficient level for exciting the discharge of potentials superimposed on a wall voltage by a wall charge formed beforehand on a pixel in an address period 20, and is within a level not causing the discharge to the pixel without the wall voltage.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-206934

(P2000-206934A)

(43) 公開日 平成12年7月28日 (2000.7.28)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)
G 0 9 G 3/288		G 0 9 G 3/28	B 5 C 0 8 0
3/28			H
3/20	6 2 3	3/20	6 2 3 A

審査請求 未請求 請求項の数 1 書面 (全 7 頁)

(21) 出願番号 特願平11-42076

(22) 出願日 平成11年1月11日 (1999.1.11)

(71) 出願人 391009143

株式会社ティーティーティー

神奈川県鎌倉市小町2丁目19番14号

(72) 発明者 天野 芳文

神奈川県鎌倉市小町2丁目19番14

Fターム (参考) 5C080 AA05 BB05 DD03 DD09 EE29

FF12 GG12 HH02 HH04 JJ04

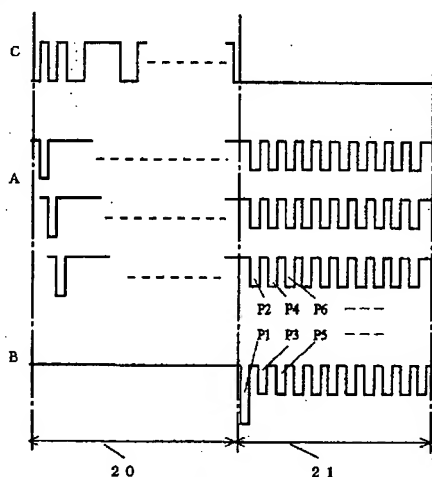
JJ06

(54) 【発明の名称】 AC型PDPの段差狭パルスサステイン駆動法

(57) 【要約】

【課題】 従来のAC型PDPの駆動方法では、発光効率の高い高周波駆動が出来なかった。

【解決】 サステインパルス列の先頭のパルス即ちアドレス期間後に最初に与えるサステインパルスだけあるいは先頭から数番目のパルスまでのパルスの電圧よりも、それ以後に連なるサステインパルスの電圧を低くする。



実施の形態1の駆動法による

アドレスとサステインの関係

【特許請求の範囲】

【請求項1】放電ガスを介して互いに並行してある直交して対する一対の放電電極である第1及び第2の放電電極群の両方あるいは少なくとも一方の電極が誘電層で被覆された構造のいわゆるAC型PDP即ちプラズマディスプレイパネルを、サステイン表示即ち画像に応じて各画素に継続的に放電を励起させる駆動方法に於いて、サステイン表示期間に印加するサステインパルスの幅を、そのパルスの印加時の放電により放電空間に発生した荷電粒子即ちプラズマが消滅しない時間内、あるいは少なくともプラズマよりも長時間放電空間に残存する準安定原子が十分に高い密度で残存している時間内だけ継続する狭パルスとし、尚かつ上記パルスの終了後、上記放電空間に印加される次の逆極性のサステインパルスの印加開始までの時間差も同じく放電空間に荷電粒子即ちプラズマまたは準安定原子が消滅しない短時間内だけ与え、これを連続して印加する細幅パルス列とすることでサステイン表示動作を行うものとし、尚かつ上記細幅のサステインパルス列の先頭のパルス即ちアドレス期間後に最初に与えるサステインパルスだけあるいは先頭から数番目のパルスまでのパルスの電圧よりも、それ以後に連なるサステインパルスの電圧を低くすることを特徴とするAC型PDPのサステイン駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はプラズマディスプレイパネルいわゆるPDPの駆動方法に関わる。

【0002】

【従来の技術】従来の一般的に行われているAC型PDPのサステイン動作は、一つのサステインパルスごとに放電電極上に壁電荷がその極性を逆転して形成されるとともに、放電空間に於けるプラズマ又は準安定原子が各サステインパルスの終了時には消滅しているような幅広のパルス列で構成されていた。またサステインパルス列のパルス電圧は全て同じ電圧であった。

【0003】この従来のサステイン駆動法を示すパルスタイミング図を図4に示す。またこれらのパルスを印加するPDPの構造の一例を図6に示す。図4のA及びBはアドレス期間20に続くサステイン期間21に、図6に示す第2のアドレス電極32とサステイン電極33とにそれぞれ印加される。またサステイン放電によって生じるそれぞれの壁電荷がつくる壁電圧5及び6は各サステイン波形A及びBに重畳して点線で示されている。壁電圧5及び6がパルス波形よりも高い場合には壁電荷が正であり、低い場合には負であることを示している。サステインパルス列は図4にP1、P2、P3---のごとくに示されている。この場合P1はサステインパルスの列の先頭である。このような従来のサステインパルスは、各サステインパルス即ちP1、P

2、P3---は電圧もパルス幅も同じであり、その幅は壁電荷が形成されて安定するに十分な長さ例えば2〜3 μ secとなっている。この場合各パルスの間隔2及び4は、各パルスによるサステイン放電終了後、電極上にはすでに壁電荷が形成され、また空間のプラズマはすでに消滅しているので、ここでは重要な意味を持たない。

【0004】またさらに別の従来技術として、本発明と同一発明者による出願済み特許（出願番号：特願平9-309175）は、サステインパルスを細幅パルスと広幅パルスの組み合わせで構成し、細幅パルスによって発生したプラズマ及び準安定原子のいわゆるブライミング効果を利用し、次のタイミングで印加する広幅のパルスによって逆極性の壁電荷を形成する方法がある。この場合には細幅パルスと広幅パルスの電圧を違えることもできるが、パルス列でみればサステイン期間を通してそれぞれの電圧は同じであった。

【0005】この先願の特許の動作を示すパルスタイミングを図5に示す。これらのパルスを印加するPDPの構造は図4のパルスと同じく図6である。図4のA及びBはアドレス期間20に続くサステイン期間21に図6に示す第2のアドレス電極32とサステイン電極33とにそれぞれ印加される。またサステイン放電によって生じる壁電荷は各サステイン波形に重畳して点線で示されている。壁電圧がパルス波形よりも高い場合には壁電荷が正であり、低い場合には負であることを示している。サステインパルス列は図5にP1、P2、P3のごとくに示されている。

【0006】この場合P1、P3、P5---の奇数番号のパルスは壁電荷を形成しない細幅即ちパルス幅1は約1 μ secの細幅であるが、P2、P4、P6---の偶数番号のパルスは壁電荷を形成するに十分な時間を確保する広幅即ちパルス幅3は例えば2〜3 μ secである。そしてパルス間隔2は細幅パルスP1、P3、P5---により発生したプラズマ及び準安定原子のブライミング効果の残る時間内即ち約1 μ sec以内とし、パルス間隔4はパルスP2、P4、P6---の影響の残らない比較的に長い時間例えば2〜3 μ secである。

【0007】この先願の発明によれば、細幅パルスP1、P3、P5---のブライミング効果が広幅パルスP2、P4、P6---に及ぶために図4に示す従来の駆動法よりも発光効率を高めることができる。この場合もパルス列でみればサステイン期間を通してそれぞれの電圧は同じであった。

【0008】

【発明が解決しようとする課題】過去の研究では、PDPにおいて駆動のパルス幅を極端に狭くすると陰極降下が出る以前の過渡状態の放電を利用する事が出来るので非常に効率の高い発光が可能となることが判っている。

る。またAC型PDPの発光はパルスの周波数に依存し周波数が高いほど高輝度が得られる。従って、サステイン周波数を高くすれば必然的にパルス幅が細くなることと相まって非常に高効率で高輝度の駆動が出来るはずである。またさらに放電パルスを高い周波数で連続的に印加すると放電空間に残存する荷電粒子あるいは準安定原子の影響により放電電圧が低下するいわゆるブライミング効果が現れ、発光効率も上昇する。

【0009】しかしながら実際にはこのような狭パルスによる駆動は実用化されていなかった。それは放電ランプのような発光動作だけならばともかく、各画素を選択的に点灯させるPDPの動作は上記単純ではないからである。ACPDPのサステイン動作は、アドレス期間中に選択的に特定の画素に形成された壁電荷をもとにまず最初の放電が形成され、それによって生じる壁電荷をサステインパルスごとに逆転しながら維持し、継続的に特定の画素に対して放電を維持する。

【0010】従って従来のACPDPの駆動法におけるサステインパルスの条件は、各パルスの印加毎に壁電荷が逆転し、それが十分に形成されて壁電圧を発生し、その電圧の差を利用して次々と連続的に放電が行われるものであった。そのためには空間にプラズマが残存する期間にパルスが終了するような狭パルスでは壁電荷が十分に形成されないため、選択画素と非選択画素の区別がつかなくなり隣接画素に誤放電が増加する。従ってパルス幅は少なくとも $2\sim 3\mu\text{sec}$ 以上の幅が必要であり、サステイン周波数は約 $150\sim 180\text{kHz}$ が限度であった。

【0011】またパルス幅が細くなると放電の立ち上がり時間の遅れの影響を少なくするために放電電圧つまりサステインパルス電圧を高くする必要がある。しかし電圧を高くすると壁電荷の有無に無関係につまりアドレスに無関係な画素にも放電が発生する誤動作を生じ安く、電圧の設定範囲即ち動作マージンが狭くなる問題を生じる。

【0012】

【課題を解決するための手段】本発明では上記のような高周波駆動時の動作電圧の上昇あるいは動作電圧範囲即ち動作マージンの縮小といった課題を解決して高輝度、高発光効率のPDPを実現するために、まずサステインパルスの幅を約 $1.0\mu\text{sec}$ 以下の細幅とし、逆極性のパルスを印加する時間間隔を駆動トランジスタのスイッチング時間遅れによるショート状態が起こらない範囲に短く、例えば $0.5\mu\text{sec}$ 以下と短くし、それと同時にサステインパルス列の最初のパルスの電圧はアドレス期間に画像に応じて形成された壁電荷に重畳して放電を選択的に起こす範囲の比較的高い電圧とするが、それによるサステイン放電開始後つまり2番目あるいは3番目以後のサステインパルスの電圧は、荷電粒子あるいは準安定原子のブライミング効果による放電電圧低下の効

果を利用して、最初のパルス電圧よりも例えば 20V から 30V 程度低くする。こうすることで動作電圧範囲即ち駆動動作マージンを狭くすることなく高輝度、高効率のPDPを実現する方法である。

【0013】

【発明の実施の形態1】本発明を実施する具体的な駆動方法の一を、図1に示す各パルス即ち信号パルスC、走査パルスA及びサステインパルスBのタイミングと、図2では拡大したサステインパルスの駆動波形をもって説明する。またこの駆動波形を印加するAC型PDPの例として図6にいわゆる3電極面放電型PDPの画素の一部の展開斜視図を示す。

【0014】まず図1の各パルスの関係を簡単に述べる。アドレス期間20の以前にはここでは説明を省略されているリセット期間があり全ての画素の電極上には同一の極性で壁電荷が形成されているか又は全てに壁電荷がない状態になっている。さてアドレス期間20に於いて、信号パルスCは画像に応じた信号として図6の第1のアドレス電極38に印加される。走査パルスAは第2のアドレス電極32に順次印加されるので、第1のアドレス電極38と第2のアドレス電極32とで構成するXYマトリクスの交点に選択的に放電が励起される。例えば図1の極性のパルスで駆動する場合、第2のアドレス電極32側は負極性のパルスであるから、放電の発生した画素においてはここに正の壁電荷が形成され、放電の起きなかった画素は第2のアドレス電極32上には壁電荷が形成されないか又はリセット状態の壁電荷のままである。

【0015】上記のごとくアドレス期間20に於いて画像に応じて画素に選択的に壁電荷の形成が行われ、期間21のサステイン期間に入る。サステインパルスBは例えば図6の構造のPDPに於いてはサステイン電極33に印加される。第2のアドレス電極32とサステイン電極33は並行で隣接しているので、サステイン電極33にサステインパルスBの先頭のパルスP1が図1のように印加されると、第2のアドレス電極32に正の壁電荷がある画素には放電が発生し、その他の画素には放電は発生しない。この時のパルスP1の電圧は上記放電を励起するに十分な電位差を発生する高さでなければならず、同時に正の壁電荷がない画素に放電を起こす程高くてはならない。この電圧範囲は通常、サステイン電圧マージンと呼ばれ、これが広いほど動作が安定している。

【0016】本発明のサステインパルスの条件をより詳細に説明するために、サステイン期間21を拡大した図2を示す。パルス幅1はサステインパルス列Bの先頭のパルスP1とそれに続くサステインパルスP3、P5、P7……のパルス幅であり、パルス幅2は同じくサステインパルス列A即ちサステインパルスP2、P4、P6……のパルス幅である。またパルス間隔2

は上記サステインパルスBの終了後サステインパルスAが印加されるまでの遅れ時間であり、パルス間隔4はサステインパルスAの終了後サステインパルスAが印加されるまでの遅れ時間である。本発明ではこれらのパルス幅1及び3、またパルス間隔5及び7を約 $1\mu\text{sec}$ 以下とする。なおこれらの時間はパネルの構造及び放電ガスの種類や圧力によって最適値が異なるが、要件としては前の放電によるプラズマまたは準安定原子が十分な密度で残存し、そのプライミング効果が十分に高い状態に維持されているごく短時間とする。即ちパルス周期としては約 330kHz 以上の高い周波数となる。

【0017】さらに本発明のサステインパルスの要件は、サステイン期間21に入ってから印加される最初のパルスであるサステインパルスP1の電圧をサステインパルスP2、P4、P6---及びサステインパルスP3、P5、P7---よりも高くすることである。サステインパルスP1の電圧 V_{p1} は、アドレス期間22に於いて画素にすでに形成されている壁電荷による壁電圧に重畳されて放電を励起するに十分な電圧で壁電圧のない画素には放電を起こさない範囲の電圧で、画素のデイモンション、ガス組成及びガス圧等によって異なる。

そしてサステインパルスP1に続いて交互に印加されるサステインパルスP2、P3、P4---の各電圧 V_{p2} 、 V_{p3} 、 V_{p4} ---を V_{p1} よりも低くする。

実験によると例えば V_{p1} が 180V の場合、 V_{p2} 、 V_{p3} 、 V_{p4} ---は約 $120\sim 150\text{V}$ で十分である。

【0018】ここで各パルス間の要件は、パルス幅及びパルス間隔が全てプラズマ及び準安定原子により十分に満たされている期間のごく短時間例えば約 $1\mu\text{sec}$ 以下とすることと、サステイン期間21の最初のパルスの電圧をそれに続くパルス列の電圧よりも高くすることである。従って印加するパルスの極性は図1に示すような負極性に限らず正極性でもよい。さらにサステインパルスP1の大きさのパルスはサステイン期間21の先頭のものに限らず、状況に応じ2番目または3番目まで同じく V_{p1} の電圧にする場合がある。

【0019】

【発明の実施の形態2】本発明を実施する他の駆動方法を、図3に示す各パルスのタイミング図をもって説明する。この駆動波形を印加するAC型PDPの例として図7にいわゆる対向2電極型PDPの画素の一部の展開斜視図を示す。

【0020】まず図3の各パルスの関係を簡単に述べる。基本的な考え方は全て図1及び図2において述べられた説明と同一であるが、図7に示す対向2電極型PDPの場合には図6の3電極面放電型PDPのようなサステイン電極33を持たず、サステインパルスは第1のアドレス電極38と第2のアドレス電極32の間に印加される。従って図1及び図2でパルス波形Bとしてサ

ステイン電極33に与えられていたサステインパルスP1及びサステインパルスP2は、サステイン期間21においてはパルス波形Cとして第1のアドレス電極38に印加される。従ってサステイン放電は対向放電として第1のアドレス電極38と第2のアドレス電極32の間で行われる。

【0021】

【発明の作用とその効果】さて上記に述べた実施の形態1及び2を例として本発明の作用を説明する。まず既述したごとく、本発明の要件の一つはサステインパルスP1、P2、P3---のパルス幅1及び3は全て約 $1.0\mu\text{sec}$ 以下の細幅であり、各パルス間の間隔2及び4も同じく約 $1.0\mu\text{sec}$ 以下の短時間である。このように高い周波数でパルスを継続的に印加すると、まず第1にいったん放電が行われるとその放電により発生した正負荷電粒子即ちプラズマ及び準安定原子によるいわゆるプライミング効果のために、誘電層34上に壁電荷が形成されなくとも次ぎの放電は比較的低い電圧で再放電する。このように細幅パルスの場合放電空間のイオンは十分に陰極側に達する時間がないために陰極へのイオン衝撃は少なく、従って二次電子放射即ち γ 作用も少ないが、その代わり周波数が高いために放電空間における α 作用即ち空間での電離作用により荷電粒子及び準安定原子は十分に供給され放電空間は常に導電性を保たれる。

【0022】上記に述べたいわゆる高周波放電における作用はすでに従来から研究されて既知のものであるが、実際にこれをプラズマディスプレイの駆動に応用することは難しかった。それは、上記のような高周波のサステインパルスを継続的に印加すると選択画素に壁電荷が形成されないために非選択画素と選択画素の区別がなくなり、誤放電が発生するからであった。しかしながらいったん放電の開始した画素のごく近傍の放電空間は十分な導電性があるから、他の画素に比べて低い電圧で放電を継続できる。そこでいったん放電が開始した後はサステインパルスの電圧を下げることによって誤放電を回避できる。即ちアドレス期間に形成された壁電荷に重畳する形で電極間に十分に高い電圧を加え、選択的放電を選択画素に発生させた後は、その電圧よりも低い電圧を継続的に印加することで放電を維持しつつ誤放電を回避することができる。

【0023】本発明による効果は、第1に放電効率が高いことである。即ち上記のごとく α 作用中心の放電となるために陰極降下が発生しない。従来のプラズマディスプレイではこの部分の電力損失が大きかった。第2に電極の寿命が長くなることである。これも既述のごとく電極へのイオン衝撃が少ないために電極がスパッタされる割合が大幅に軽減されるからである。

【0024】

【図1】実施の形態1の駆動法によるアドレスとサステインの関係例

【図2】実施の形態1の駆動法のサステインパルス波形例

【図3】実施の形態2の駆動法によるアドレスとサステインの関係例

【図4】従来の駆動法のサステインパルス波形例

【図5】先願の駆動法のサステインパルス波形例

【図6】本発明を適用するPDPの構造例1

【図7】本発明を適用するPDPの構造例2

【0020】

【符号の説明】

P1 サステイン期間の先頭のサステインパルス
P3、P5、P7---- P1に続くサステインパルス

P2、P4、P6---- 対向する電極に印加するサステインパルス

1 P1、P3、P5----のパルス幅

2 P1/P2、P3/P4----の間隔

3 P2、P4、P6----のパルス幅

4 P2/P3、P4/P5----の間隔

5 パルスAを印加する電極側の壁電圧

6 パルスBを印加する電極側の壁電圧

20 アドレス期間

21 サステイン期間

31 前面ガラス

32 第2のアドレス電極

33 サステイン電極

34 誘電層

35 保護層

36 隔壁

37 蛍光体

38 第1のアドレス電極

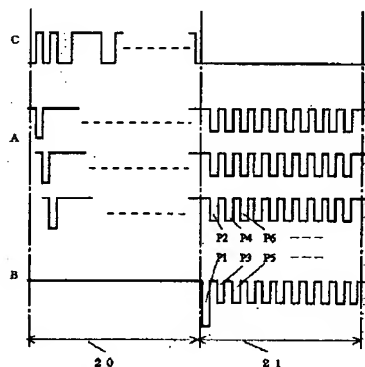
39 背面ガラス

A 一方の電極に印加するサステインパルス列

B 他方の電極に印加するサステインパルス列

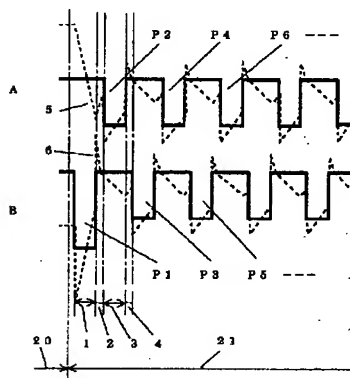
C アドレスパルス列

【図1】



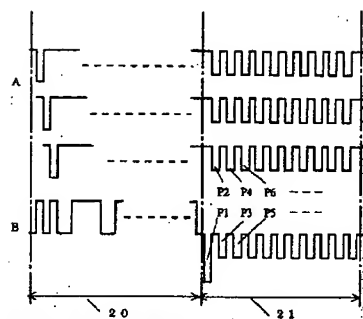
実施の形態1の駆動法による
アドレスとサステインの関係

【図2】



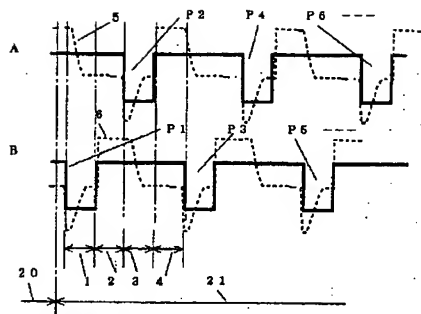
実施の形態1の駆動法の
サステインパルス波形例

【図3】



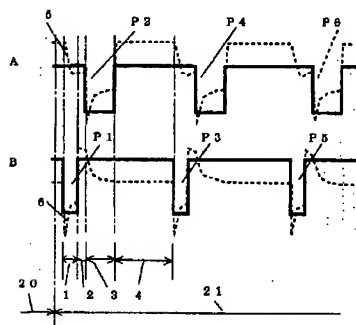
実施の形態2の駆動法による
アドレスとサステインの関係

【図4】



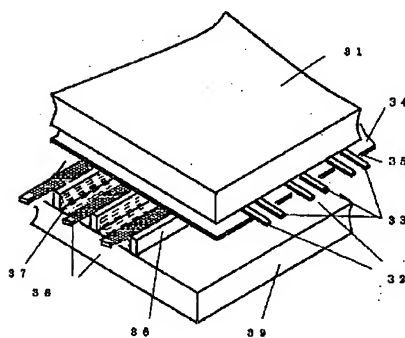
従来の駆動法の
サステインパルス波形

【図5】



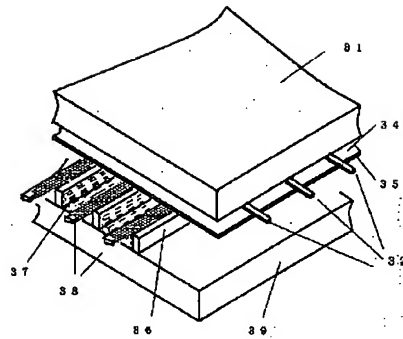
先願の駆動法の
サステインパルス波形

【図6】



3電極面放電型ACPDPの構造

【図7】



2 電極対向放電型ACPDPの構造